



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11340572 A**(43) Date of publication of application: **10.12.99**

(51) Int. Cl. **H01S 3/18**
B41J 2/44
B41J 2/45
B41J 2/455

(21) Application number: **10144801**(71) Applicant: **FUJI XEROX CO LTD**(22) Date of filing: **26.05.98**(72) Inventor: **SEKO YASUJI****(54) SEMICONDUCTOR DEVICE AND IMAGE FORMING DEVICE**

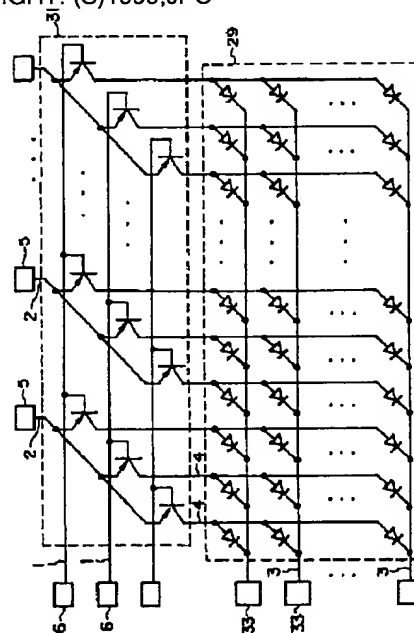
the same row in the array 31.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and an image forming device, using the device by which a light-emitting element array can be formed in high density.

SOLUTION: A transistor array 31, provided with a plurality of transistor elements arranged like a matrix, is formed monolithically on a semiconductor substrate in which a light-emitting element array 29 provided with a plurality of light-emitting elements arranged in a matrix form is formed. Then a pad 33 is formed on the end part of a cathode wiring 3, in which the cathode of light-emitting element on the same line in the array 29 is connected, and an anode wiring 4 in which the anode of light-emitting element on the same row in the array 29 is connected, is connected with the collector of transistor element which is different from each other by each row. Furthermore, a pad 6 is formed on the end part of a base wiring 1, in which the base of transistor element on the same line in the array 31 is connected, and a pad 5 is formed on the end part of an emitter wiring 2, in which the emitter of transistor element on



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 3 4 0 5 7 2

(43) 公開日 平成11年(1999)12月10日

(51) Int. Cl. ⁶

識別記号

F I

H 0 1 S 3/18

H 0 1 S 3/18

B 4 1 J 2/44

B 4 1 J 3/21

L

2/45

2/455

審査請求 未請求 請求項の数 6

O L

(全 1 5 頁)

(21) 出願番号

特願平10-144801

(22) 出願日

平成10年(1998)5月26日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 瀬古 保次

神奈川県足柄上郡中井町境430 グリーン

テクなかい 富士ゼロックス株式会社内

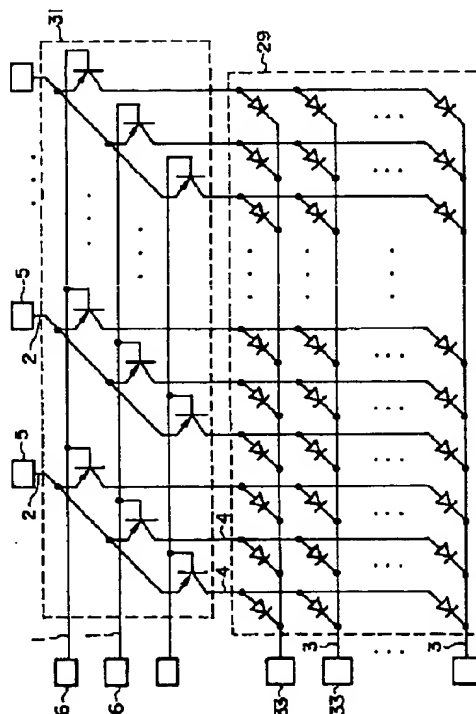
(74) 代理人 弁理士 中島 淳 (外3名)

(54) 【発明の名称】 半導体デバイス及び画像形成装置

(57) 【要約】

【課題】 発光素子アレイを高密度に形成することができる半導体デバイス及び該半導体デバイスを用いた画像形成装置を得る。

【解決手段】 マトリクス状に配置された複数のトランジスタ素子を備えたトランジスタアレイ 31 を、マトリクス状に配置された複数の発光素子を備えた発光素子アレイ 29 が形成された半導体基板上にモノリシックに形成する。また、発光素子アレイ 29 の同一行の発光素子の陰極を接続した陰極配線 3 の端部にパッド 33 を形成し、発光素子アレイ 29 の同一列の発光素子の陽極を接続した陽極配線 4 を列毎に各々異なるトランジスタ素子のコレクタに接続する。また、トランジスタアレイ 31 の同一行のトランジスタ素子のベースを接続したベース配線 1 の端部にパッド 6 を、トランジスタアレイ 31 の同一列のトランジスタ素子のエミッタを接続したエミッタ配線 2 の端部にパッド 5 を、各々形成する。



【特許請求の範囲】

【請求項1】 複数の発光素子を備え、かつ半導体基板に形成された発光素子アレイと、

入力端、出力端、及び制御端を備え、前記複数の発光素子のいずれかに前記入力端及び前記出力端の一方が接続されると共にマトリクス状に配列されたスイッチング素子を備え、かつ前記発光素子アレイとモノリシックに前記半導体基板に形成されたスイッチング素子アレイと、同一の列に配置された複数のスイッチング素子の各々の制御端、又は入力端及び出力端の他方を前記同一の列毎に異なる第1の外部接続端に接続した第1の接続手段と、

同一の行に配置された複数のスイッチング素子の各々の制御端、又は入力端及び出力端の他方の前記第1の外部接続端に接続されていない側を前記同一の行毎に異なる第2の外部接続端に接続した第2の接続手段と、を備えた半導体デバイス。

【請求項2】 前記発光素子アレイに備えられた複数の発光素子がマトリクス状に配列されると共にマトリクス配線により接続されており、かつ前記マトリクス配線の行配線又は列配線が前記スイッチング素子の入力端及び出力端の一方に接続された請求項1記載の半導体デバイス。

【請求項3】 前記発光素子が面発光レーザ素子である請求項1又は請求項2記載の半導体デバイス。

【請求項4】 前記スイッチング素子アレイの前記半導体基板上的積層構造が、前記発光素子アレイの積層構造の積層面に垂直な方向に形成された請求項1乃至請求項3の何れか1項記載の半導体デバイス。

【請求項5】 前記スイッチング素子アレイの前記半導体基板上的積層構造が、前記発光素子アレイの積層構造の積層面に平行な方向に形成された請求項1乃至請求項3の何れか1項記載の半導体デバイス。

【請求項6】 請求項1乃至請求項5記載の半導体デバイスを光源として用いた画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体デバイス及び画像形成装置に係り、より詳しくは、レーザプリンタ、レーザディスプレイ、光通信装置、光信号処理装置等の光源として使用される発光素子アレイを備えた半導体デバイス及び該半導体デバイスを光源として使用した画像形成装置に関する。

【0002】

【従来の技術】レーザプリンタ等の画像形成装置において、形成する画像の各画素に応じた光を発生する光源として複数の発光素子を備えた発光素子アレイを使用する場合には、各発光素子を各々独立に駆動する必要がある、従来は、各発光素子に通電するための配線を発光素子毎に各々独立に接続（以下、個別配線という）してい

た。従って、 n 行 m 列の発光素子、すなわち $n \times m$ 個の発光素子により構成された発光素子アレイの場合、 $n \times m$ 本という多数の接続配線が必要であり、高コストであると共に発光素子の高密度化が困難である、という問題点があった。

【0003】この問題点を解決するために、特開昭61-31271号公報記載の技術では、LEDアレイ光源を用いて高密度のプリント画像を形成するために、図1に示すように、LEDアレイ29を構成するLED素子を2次元に配列し、その行方向の配線（以下、陰極配線という）3及び列方向の配線（以下、陽極配線という）4をマトリクス状に形成して、陰極配線3及び陽極配線4の各々の一方の端部に設けたワイヤボンディングパッド33及び32を用いて各LED素子を個別に駆動していた。

【0004】一方、特表平7-503104号公報記載の技術では、面発光レーザ構造とトランジスタ構造を順次積層し、該トランジスタ構造における各トランジスタ素子にマトリクス配線を形成して任意のトランジスタ素子を駆動することにより、駆動したトランジスタ素子の上側又は下側に位置する面発光レーザ素子を発光させていた。

【0005】上記特開昭61-31271号公報及び特表平7-503104号公報記載の技術では、接続配線数を2次元に配列された発光素子アレイの行数 n と列数 m の合計本数（ $n+m$ 本）しか必要としないので、上述した個別配線の場合（ $n \times m$ 本）に比較して、接続配線数を大幅に削減することができる。接続配線1本に対して、例えばワイヤボンディングが1本形成されるので、接続配線数の削減はワイヤボンディング数、及び発光素子アレイを駆動する駆動回路のチャンネル数の削減につながる。従って、この発光素子アレイを用いた装置全体の低コスト化、及び発光素子アレイの高密度化を実現することができる。

【0006】

【発明が解決しようとする課題】しかしながら、上記特開昭61-31271号公報及び特表平7-503104号公報記載の技術では、発光素子アレイを構成する発光素子がさらに高密度に配列されて、その行間隔や列間隔が狭くなった場合、配線（陰極配線及び陽極配線）の配列ピッチが狭くなり、ワイヤボンディング等が実施できなくなって電氣的結線ができなくなる、という問題点があった。換言すれば、ワイヤボンディング等を可能とする最小配線ピッチが、発光素子アレイを構成する発光素子の行間隔及び列間隔を制限する、ということである。このことを具体的に説明すると次のようになる。

【0007】現状のワイヤボンディングの最小ピッチは約 $80 \mu m$ である。仮に、ワイヤボンディング用のパッドを2列の千鳥配列とすれば、各列のワイヤボンディングパッドの最小ピッチが約 $80 \mu m$ であっても、配線の

最小ピッチは2分の1の約40 μ mに縮小することができる。しかしながら、この場合でも配線の最小ピッチは約40 μ mである。

【0008】一方、配線数が比較的少ない場合には、ワイヤボンディングパッド付近の配線を扇状に拡げることによってワイヤボンディングパッドのピッチを拡大することができるが、配線数が数百本以上になると、このようにワイヤボンディングパッドのピッチを拡大することは、結果的に基板サイズが大きくなりすぎてしまうため実現できない。従って、比較的高密度の発光素子アレイを構成する発光素子の最小配列ピッチは、一般に約40 μ mとされている。

【0009】このように、上述した従来技術では、多数の発光素子を有する発光素子アレイにおいて、その配線のピッチをワイヤボンディング等の電気的接続が可能なピッチとしなければならないために数10 μ m程度より狭くできず、従って各発光素子の行間隔や列間隔を狭くできないので、高密度な発光素子アレイが作製できない、という問題点があった。

【0010】本発明は、上記問題点を解消するために成されたものであり、発光素子アレイを高密度に形成することができる半導体デバイス及び該半導体デバイスを用いた画像形成装置を提供することを目的としている。

【0011】

【課題を解決するための手段】上記目的を達成するために請求項1記載の半導体デバイスは、複数の発光素子を備え、かつ半導体基板に形成された発光素子アレイと、入力端、出力端、及び制御端を備え、前記複数の発光素子のいずれかに前記入力端及び前記出力端の一方が接続されると共にマトリクス状に配列されたスイッチング素子を備え、かつ前記発光素子アレイとモノリシックに前記半導体基板に形成されたスイッチング素子アレイと、同一の列に配置された複数のスイッチング素子の各々の制御端、又は入力端及び出力端の他方を前記同一の列毎に異なる第1の外部接続端に接続した第1の接続手段と、同一の行に配置された複数のスイッチング素子の各々の制御端、又は入力端及び出力端の他方の前記第1の外部接続端に接続されていない側を前記同一の行毎に異なる第2の外部接続端に接続した第2の接続手段と、を備えている。

【0012】請求項1記載の半導体デバイスによれば、入力端、出力端、及び制御端を備え、かつマトリクス状に配列されたスイッチング素子の入力端及び出力端の一方が、発光素子アレイに備えられた複数の発光素子のいずれかに接続される。ここで、上記マトリクス状に配列されたスイッチング素子を備えたスイッチング素子アレイは、上記発光素子アレイとモノリシックに半導体基板に形成されている。

【0013】なお、上記スイッチング素子としては、バイポーラトランジスタ、電界効果トランジスタ等を適用

することができる。また、上記制御端はスイッチング素子における入力端及び出力端の間のオンオフを制御するためのものであり、例えば、スイッチング素子がバイポーラトランジスタである場合の制御端はベースに相当し、スイッチング素子が電界効果トランジスタである場合の制御端はゲートに相当する。

【0014】また、同一の列に配置された複数のスイッチング素子の各々の制御端、又は入力端及び出力端の他方が第1の接続手段により上記同一の列毎に異なる第1の外部接続端に接続され、同一の行に配置された複数のスイッチング素子の各々の制御端、又は入力端及び出力端の他方の上記第1の外部接続端に接続されていない側が第2の接続手段により上記同一の行毎に異なる第2の外部接続端に接続される。なお、第1の外部接続端及び第2の外部接続端は、外部との接続に用いられる電極であり、ワイヤボンディングパッド等に相当する。

【0015】以上のように半導体デバイスを構成しているので、発光素子に接続されているスイッチング素子の外部からのオンオフ制御によって、当該発光素子の通電を制御することが可能となる。

【0016】このように請求項1記載の半導体デバイスによれば、発光素子アレイに備えられた各発光素子の駆動を制御するマトリクス状に配置されたスイッチング素子を備えたスイッチング素子アレイに対して外部との接続に用いる外部接続端を設けているので、発光素子アレイの配列ピッチを狭くすることができ、発光素子アレイを高密度に形成することができる。

【0017】また、請求項2記載の半導体デバイスは、請求項1記載の半導体デバイスにおいて、前記発光素子アレイに備えられた複数の発光素子がマトリクス状に配列されると共にマトリクス配線により接続されており、かつ前記マトリクス配線の行配線又は列配線が前記スイッチング素子の入力端及び出力端の一方に接続されているものである。

【0018】このように請求項2記載の半導体デバイスによれば、発光素子アレイに備えられた複数の発光素子がマトリクス状に配列されると共にマトリクス配線により接続されており、かつ該マトリクス配線の行配線又は列配線がスイッチング素子の入力端及び出力端の一方に接続されているので、発光素子をマトリクス状に配列しない場合に比較して発光素子アレイをより高密度に形成することができる。

【0019】また、請求項3記載の半導体デバイスは、請求項1又は請求項2記載の半導体デバイスにおける前記発光素子が面発光レーザ素子であるものである。

【0020】従って、請求項3記載の半導体デバイスによれば、請求項1及び請求項2記載の発明と同様の効果を奏することができると共に、発光素子を面発光レーザ素子としているので、発光素子を端面発光型の素子とする場合に比較して、発光素子アレイを容易にアレイ状に

形成することができる。

【0021】なお、請求項4及び請求項5記載の半導体デバイスのように、請求項1乃至請求項3の何れか1項記載の半導体デバイスにおける前記スイッチング素子アレイの前記半導体基板上の積層構造は、前記発光素子アレイの積層構造の積層面に垂直又は平行な方向に形成することができる。

【0022】本発明に係る半導体デバイスは、具体的には例えば図1に示すように構成される。

【0023】すなわち、複数の発光素子を備えた発光素子アレイ29の配線（陰極配線3及び陽極配線4）に流す電流を制御するスイッチング素子としての複数のトランジスタ素子を備えたトランジスタアレイ31を発光素子アレイ29の基板上にモノリシックに形成する。このトランジスタアレイ31は、発光素子アレイ29の陽極配線4に結線され、かつトランジスタ素子が2次元に配列される。トランジスタアレイ31は、各々のトランジスタ素子のエミッタ及びベース、あるいはコレクタ及びベースに形成されたマトリクス配線によって駆動される。そのマトリクス配線はワイヤボンディングパッド5及び6に形成されたワイヤボンディング等の電気的接続手段を介して外部の駆動回路と接続される。

【0024】このような手段によれば、ワイヤボンディング等の配列ピッチは、トランジスタアレイに備えられたトランジスタ素子の配線ピッチのみに依存し、発光素子アレイに備えられた発光素子の配線ピッチには依存しない。そのため、ワイヤボンディングパッドのピッチを発光素子アレイの配線ピッチよりも数倍、数10倍に拡大することが可能となる。従って、発光素子の配列ピッチを従来に比較して数分の1、数10分の1に削減することができ、発光素子アレイを高密度に形成することが可能となる。

【0025】また、請求項6記載の画像形成装置は、請求項1乃至請求項5記載の半導体デバイスを光源として用いたものである。

【0026】このように請求項6記載の画像形成装置によれば、請求項1乃至請求項5記載の高密度な発光素子アレイを備えた半導体デバイスを光源として用いているので、高密度な画像を容易に形成することができる。

【0027】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態について詳細に説明する。

【0028】〔第1実施形態〕本第1実施形態では、発光素子として面発光レーザ素子を、モノリシックに作製するスイッチング素子としてはpnpトランジスタを、各々適用する場合について説明する。

【0029】面発光レーザ構造層の結晶成長は有機金属気相成長法（Metal Organic Chemical Vapor Deposition、以下「MOCVD法」という。）によりMOCVD装置を用いて

行った。その積層構造を図2に示す。以下、同図を参照して、本第1実施形態に係る半導体デバイスの製造工程について説明する。

【0030】導電性のSiドーブn型GaAs基板11上に、n型GaAsバッファ層12（厚さ0.2μm、キャリア濃度 $2 \times 10^{18} / \text{cm}^3$ ）、n型Al_{0.3}Ga_{0.7}As/Al_{0.9}Ga_{0.1}As多層膜ミラー13（厚さ57.6nm/64.5nm×40.5周期、但し、Al_{0.3}Ga_{0.7}As上側/Al_{0.9}Ga_{0.1}As下側の配置、キャリア濃度 $2 \times 10^{18} / \text{cm}^3$ ）、Al_{0.6}Ga_{0.4}Asスペーサー層14（厚さ89.8nm、ノンドープ）、Al_{0.11}Ga_{0.89}As/Al_{0.3}Ga_{0.7}As（量子井戸層/障壁層、厚さ8nm/5nm×4周期、ノンドープ）の活性領域15、Al_{0.6}Ga_{0.4}Asスペーサー層16（厚さ89.8nm、ノンドープ）、p型Al_{0.3}Ga_{0.7}As/Al_{0.9}Ga_{0.1}As多層膜ミラー17（厚さ64.5nm/57.6nm×30周期、キャリア濃度 $2 \times 10^{18} / \text{cm}^3$ ）、及びp型コンタクト層18（厚さ9nm、キャリア濃度 $1 \times 10^{19} / \text{cm}^3$ ）を順次成長する。ここで、多層膜ミラー13及び17の積層界面は、組成を徐々に変化させたグレーデッド層とし、電気抵抗を低減した。

【0031】多層膜ミラー13及び17の各層の厚さ t_i は、レーザ波長 λ （本実施形態では780nm）の光に対して、 $t_i = \lambda / (4 \cdot n_i)$ を満足するようにしており（ n_i は各層の屈折率）、多層膜ミラー全体で高反射率が達成されている。また、スペーサー層14及び16と活性領域15の各層は、各層の膜厚 t_i と屈折率 n_i をかけた値、すなわち $t_i \times n_i$ の合計がレーザ波長 λ と等しくなるように設定され、レーザ共振器としての役割を果たしている。

【0032】次に、この基板をMOCVD装置から取り出し、SiO₂膜をプラズマCVDにより0.2μm厚さ堆積させる。これをフォトリソグラフィによりエッチングして、パターニングし、p型コンタクト層18のうちでトランジスタの結晶層を成長する場所だけを露出する。その露出部分は平面視正形状（本実施形態では一辺20μm）であり、図3に示すトランジスタアレイ31の配列のように、面発光レーザアレイ30の横側に3行333列に配列した。なお、レーザアレイ30の配列は後述するように、プロトン注入と電極形成により作製する。

【0033】次に、この基板を再びMOCVD装置の中に挿入し、まず、電流をストップさせるためのn型GaAs層20（厚さ100nm、キャリア濃度 $1 \times 10^{17} / \text{cm}^3$ ）を成長し、その上にトランジスタを構成する、p型GaAsコレクタ層21（厚さ300nm、キャリア濃度 $1 \times 10^{17} / \text{cm}^3$ ）、n型GaAsベース層22（厚さ100nm、キャリア濃度 $4 \times 10^{18} / \text{cm}^3$ ）、及びp型Al_{0.3}Ga_{0.7}Asエミッタ層23

(厚さ200nm、キャリア濃度 $5 \times 10^{17} / \text{cm}^3$)を成長し、最後に電極とのオーミック接触をとるためのp型GaAsコンタクト層24(厚さ200nm、キャリア濃度 $5 \times 10^{18} / \text{cm}^3$)を成長する。

【0034】SiO₂膜の上には結晶は成長しないので、SiO₂膜の除去した部分、すなわち表面に露出したp型コンタクト層18の上にだけトランジスタ構造層が形成される。この積層構造では、p型GaAsコレクタ層21の下層に、n型GaAs層20、p型コンタクト層18、及びp型多層膜ミラー17があるので、この部分はpnp構造となり、垂直方向(図2上下方向)には電流は流れない。従って、トランジスタ素子の下のp型コンタクト層18や多層膜ミラー17には電流は流れず、トランジスタ素子のみが正常に動作する。

【0035】次に、トランジスタ構造層のベース層22とコレクタ層21をエッチングにより図2に示すように表面に露出させる。

【0036】次に、面発光レーザ素子を作製するために、電流狭窄構造を形成する。本実施形態では、プロトン(H⁺)を加速電圧を変化させて照射することによって結晶表面から深さ3~4μmまでのプロトン注入領域19を形成し、電流の流れない絶縁領域を形成する方法を採用した。電流の流れる活性領域のサイズは直径約6μmΦであり、これが面発光レーザ素子の活性領域の水平方向(図2左右方向)に形成される。面発光レーザアレイ30は、図3に示すように、面発光レーザ素子を30μmピッチで1列に999個配列した。

【0037】次に、面発光レーザ素子とトランジスタ素子に電極を形成し、それらを結線する配線を敷設する。面発光レーザ素子のp型コンタクト層18と、トランジスタ素子のp型コンタクト層24及びp型コレクタ層21とはAuZn合金のp型電極を形成し、トランジスタ素子のn型ベース層22にはAuGe合金のn型電極を形成した。これらの材料を蒸着法により300nm厚さ堆積し、フォトリソグラフィにより所望の形状にパターンニングしている。

【0038】次に、面発光レーザ素子のp型コンタクト層18の電極とトランジスタ素子のp型コレクタ層21の電極とを電気的に接続するための配線(以下、陽極配線という)4を形成した。また、面発光レーザアレイ30のn型の共通電極として、AuGe合金10をn型GaAs基板11の裏面全面に形成した。なお、この電極は接地される。

【0039】次に、トランジスタ素子を駆動するための配線として、トランジスタ素子のn型ベース層22の電極に行方向の配線(以下、ベース配線という)1を形成し、トランジスタ素子のp型コンタクト層24の電極に列方向の配線(以下、エミッタ配線という)2を形成する。また、エミッタ配線2及びベース配線1の各々の、トランジスタ素子に接続されていない側の端部には、ワ

イヤボンディングパッド5及び6を各々形成する。

【0040】以上によって形成されたベース配線1、エミッタ配線2、及び陽極配線4と各部位との相対的な位置関係(平面視)を図4に示す。同図に示すように、面発光レーザ素子のp型コンタクト層18の電極とトランジスタ素子のp型コレクタ層21の電極とが陽極配線4により接続され、同一の行に配置されたトランジスタ素子のn型ベース層22の電極とワイヤボンディングパッド6とがベース配線1により接続され、同一の列に配置されたトランジスタ素子のp型コンタクト層24の電極とワイヤボンディングパッド5とがエミッタ配線2によって接続されている。

【0041】上述したように、面発光レーザアレイ30の面発光レーザ素子は1次元に999個配列されており、その配列ピッチは約30μmである。また、トランジスタアレイ31のトランジスタ素子は3行×333列のマトリクス状に配列されているので、エミッタ配線2の端部に形成されたワイヤボンディングパッド5の配列ピッチは約90μm(=約30μm×3)となる。なお、本実施形態では、ベース配線1の端部に形成されたワイヤボンディングパッド6の配列ピッチを約100μmとした。

【0042】なお、面発光レーザアレイ30が本発明の発光素子アレイに、トランジスタアレイ31が本発明のスイッチング素子アレイに、エミッタ配線2が本発明の第1の接続手段に、ベース配線1が本発明の第2の接続手段に、ワイヤボンディングパッド5が本発明の第1の外部接続端に、ワイヤボンディングパッド6が本発明の第2の外部接続端に、各々相当する。

【0043】これらのワイヤボンディングパッド5及び6に対してワイヤボンディングを行い、図示しない外部の駆動回路と接続して、該駆動回路によりワイヤボンディングパッド5及び6に駆動電圧を印加して各トランジスタ素子を動作させることにより、面発光レーザアレイ30を駆動することができることを確認した。

【0044】〔第2実施形態〕本第2実施形態では、面発光レーザアレイの陽極配線及び陰極配線をマトリクス状に形成し、この陽極配線及び陰極配線を各々トランジスタアレイで駆動する場合について説明する。すなわち、上記第1実施形態では、1次元配列の面発光レーザアレイを対象としていたが、本第2実施形態では2次元配列の面発光レーザアレイを対象としたものである。まず、図5を参照して、本第2実施形態に係る半導体デバイスの製造工程について説明する。

【0045】同図に示すように、MOCVD装置により半絶縁性のGaAs基板51上に、n型GaAsバッファ層12(厚さ0.2μm、キャリア濃度 $2 \times 10^{18} / \text{cm}^3$)、n型Al_{0.3}Ga_{0.7}As/Al_{0.9}Ga_{0.1}As多層膜ミラー13(厚さ57.6nm/64.5nm×40.5周期、但し、Al_{0.3}Ga_{0.7}As上

側/ $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$ 下側の配置、キャリア濃度 $2 \times 10^{18}/\text{cm}^3$ ）、 $\text{Al}_{0.6}\text{Ga}_{0.4}\text{As}$ スペーサー層14（厚さ89.8nm、ノンドープ）、 $\text{Al}_{0.11}\text{Ga}_{0.89}\text{As}/\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ （量子井戸層/障壁層、厚さ8nm/5nm×4周期、ノンドープ）の活性領域15、 $\text{Al}_{0.6}\text{Ga}_{0.4}\text{As}$ スペーサー層16（厚さ89.8nm、ノンドープ）、及び選択酸化用のp型 $\text{Al}_{0.98}\text{Ga}_{0.02}\text{As}$ 層60（厚さ65.4nm、キャリア濃度 $2 \times 10^{18}/\text{cm}^3$ ）を成長し、その上にp型 $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}/\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 多層膜ミラー17（厚さ64.5nm/57.6nm×29.5周期、キャリア濃度 $2 \times 10^{18}/\text{cm}^3$ ）、p型コンタクト層18（厚さ9nm、キャリア濃度 $1 \times 10^{19}/\text{cm}^3$ ）を順次成長する。ここで、多層膜ミラー13及び17の積層界面は、組成を徐々に変化したグレーデッド層とし、電気抵抗を低減した。

【0046】次に、この基板をMOCVD装置から取り出し、 SiO_2 膜をプラズマCVDにより0.2 μm 厚さ堆積させる。これをフォトリソグラフィによりエッチングして、パターンニングし、トランジスタの結晶層を成長する場所のp型コンタクト層18だけを露出する。その露出部分は平面視正形状（本実施形態では一辺20 μm ）であり、図6に示すトランジスタアレイ31及び70の配列のように、後述する面発光レーザアレイ75の上側と下側とに3行33列に形成した。

【0047】次に、この基板を再びMOCVD装置の中に挿入し、トランジスタを構成する、p型GaAsコレクタ層21（厚さ300nm、キャリア濃度 $1 \times 10^{17}/\text{cm}^3$ ）、n型GaAsベース層22（厚さ100nm、キャリア濃度 $4 \times 10^{18}/\text{cm}^3$ ）、及びp型 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ エミッタ層23（厚さ200nm、キャリア濃度 $5 \times 10^{17}/\text{cm}^3$ ）を成長し、最後に電極とのオーミック接触をとるためのp型GaAsコンタクト層24（厚さ200nm、キャリア濃度 $5 \times 10^{18}/\text{cm}^3$ ）を成長する。

【0048】 SiO_2 膜の上には結晶は成長しないので、表面に露出したp型コンタクト層18の上にだけpnptランジスタ構造層が形成される。

【0049】次に、 SiO_2 膜全面を除去し、面発光レーザ素子のポスト構造（直径20 $\mu\text{m}\Phi$ ）の形成とトランジスタ素子の電氣的分離のために、図5に示すようなエッチングを行った。この面発光レーザ素子の電流狭窄構造を作製するために、 $\text{Al}_{0.98}\text{Ga}_{0.02}\text{As}$ 層60を選択的に酸化した。この際の酸化方法として、水蒸気雰囲気熱処理炉にサンプルを挿入し、400℃に加熱する方法を適用した。この熱処理によって表面に露出した $\text{Al}_{0.98}\text{Ga}_{0.02}\text{As}$ 層60が周囲より同心円状に酸化してゆく。電流を流す領域（直径5 $\mu\text{m}\Phi$ ）の穴を残して、酸化層 Al_2O_3 を形成し、電流狭窄構造を形成した。

【0050】次に、トランジスタ構造層のベース層22及びコレクタ層21をエッチングにより図5に示すように表面に露出させる。

【0051】次に、面発光レーザ素子及びトランジスタ素子に電極を形成し、それらを結線する配線を敷設する。面発光レーザ素子及びトランジスタ素子のp型の電極としてAuZn合金を、n型の電極としてAuGe合金を用いた。これらの材料を蒸着法により300nm厚さ堆積し、フォトリソグラフィにより所望の形状にパターンニングし、その上に配線を敷設した。また、面発光レーザ素子のポスト構造の側壁や配線の交差部には、 SiNx 層61等の絶縁層を形成し、電氣的に分離させた。

【0052】配線としては、面発光レーザ素子のp型コンタクト層18と図6上側のトランジスタアレイ31のp型コレクタ層21とを電氣的に接続するための配線（以下、陽極配線という）4と、面発光レーザ素子のn型バッファ層12と図6下側のトランジスタアレイ70のp型エミッタ層23を電氣的に接続するための配線（以下、陰極配線という）3を形成した。

【0053】また、図6上側のトランジスタアレイ31を駆動するための配線として、トランジスタ素子のn型ベース層22に行方向の配線（以下、ベース配線という）1を形成し、該トランジスタ素子のp型エミッタ層23のコンタクト層24に列方向の配線（以下、エミッタ配線という）2を形成した。このエミッタ配線2及びベース配線1の双方の、トランジスタ素子に接続されていない側の端部にはワイヤボンディングパッド5及び6を各々形成した（図6参照、図5では図示省略）。

【0054】また、図6下側のトランジスタアレイ70を駆動するための配線として、トランジスタ素子のn型ベース層22に行方向の配線（以下、ベース配線という）72を形成し、該トランジスタのp型コレクタ層21に列方向の配線（以下、コレクタ配線という）71を形成した。このコレクタ配線71及びベース配線72の双方の、トランジスタ素子に接続されていない側の端部にはワイヤボンディングパッド73及び74を各々形成した（図6参照、図5では図示省略）。

【0055】面発光レーザアレイ75を構成する面発光レーザ素子は、図6に示すように、列方向が斜め方向とされた4行100列にマトリクス状に配列されており、本実施形態における各面発光レーザ素子の配列ピッチは、行方向（水平方向）を42 μm 、列方向（垂直方向）を100 μm としている。

【0056】また、トランジスタアレイ31を構成するトランジスタ素子は3行103列に配列されており、トランジスタアレイ70を構成するトランジスタ素子は3行100列に配列されている。エミッタ配線2に設けられたワイヤボンディングパッド5の配列ピッチを126 μm とし、ベース配線1に設けられたワイヤボンディン

グパッド6の配列ピッチを $100\mu\text{m}$ とした。同様に、コレクタ配線71に設けられたワイヤボンディングパッド73の配列ピッチを $126\mu\text{m}$ とし、ベース配線72に設けられたワイヤボンディングパッド74の配列ピッチを $100\mu\text{m}$ とした。

【0057】なお、面発光レーザアレイ75が本発明の発光素子アレイに、トランジスタアレイ31及び70が本発明のスイッチング素子アレイに、エミッタ配線2及びコレクタ配線71が本発明の第1の接続手段に、ベース配線1及び72が本発明の第2の接続手段に、ワイヤボンディングパッド5及び73が本発明の第1の外部接続端に、ワイヤボンディングパッド6及び74が本発明の第2の外部接続端に、各々相当する。

【0058】ワイヤボンディングパッド5と6、及びワイヤボンディングパッド73と74に対してワイヤボンディングを行い、図示しない外部の駆動回路と接続して、該駆動回路により各ワイヤボンディングパッドに駆動電圧を印加して各トランジスタ素子を動作させることにより、面発光レーザアレイ75を駆動することができることを確認した。

【0059】〔第3実施形態〕本第3実施形態では、上記第2実施形態と同様の工程により作製した半導体デバイスを画像形成装置としてのレーザプリンタに適用した場合の実施形態について説明する。

【0060】本第3実施形態における面発光レーザアレイ80では、面発光レーザ素子を行方向のピッチ a 、及び列方向のピッチ b を $a=21\mu\text{m}$ 、及び $b=21\mu\text{m}$ として、12行1200列に配列した(図7参照。詳細は図8参照)。また、面発光レーザアレイ80の各列は斜めに傾斜させ、行方向(レーザプリンタの主走査方向に対応する方向)への投影点列が等間隔で並ぶように配列した。

【0061】図7に示すように、トランジスタアレイ81は面発光レーザアレイ80に対する陽極配線87を駆動し、トランジスタアレイ82は面発光レーザアレイ80に対する陰極配線88を駆動する。

【0062】本第3実施形態におけるトランジスタアレイ81は4行303列に、トランジスタアレイ82は4行300列に、各々トランジスタ素子を配列している。また、トランジスタアレイ81をマトリクス駆動するエミッタ配線の端部に形成したワイヤボンディングパッド83は $84\mu\text{m}$ ピッチで配列し、ベース配線の端部に形成したワイヤボンディングパッド84は $100\mu\text{m}$ ピッチで配列した。また、トランジスタアレイ82をマトリクス駆動するコレクタ配線の端部に形成したワイヤボンディングパッド85は $84\mu\text{m}$ ピッチで配列し、ベース配線の端部に形成したワイヤボンディングパッド86は $100\mu\text{m}$ ピッチで配列した。

【0063】なお、面発光レーザアレイ80が本発明の発光素子アレイに、トランジスタアレイ81及び82が

本発明のスイッチング素子アレイに、ワイヤボンディングパッド83及び85が本発明の第1の外部接続端に、ワイヤボンディングパッド84及び86が本発明の第2の外部接続端に、各々相当する。

【0064】次に、図9を参照して、以上の構成の半導体デバイス90をレーザプリンタの光源として適用する場合のレーザプリンタの構成について説明する。

【0065】同図に示すように、半導体デバイス90には駆動回路91が接続されており、半導体デバイス90から出射された光96の下流方向にはレンズ系92及び折り返しミラー93が順に配置されており、さらに折り返しミラー93の光96の反射方向にはレンズ系94及び感光ドラム95が順に配置されている。

【0066】次に、以上のように構成されたレーザプリンタの全体的な作用を説明する。なお、ここでは、プリント対象画像が1200行1200列の画素データにより構成されている場合について説明する。

【0067】まず、プリント対象画像の上端側12行1200列の画素データに対応した光が出射されるように半導体デバイス90を駆動回路91によって駆動する。これによって半導体デバイス90から出射された光96はレンズ系92、折り返しミラー93、レンズ系94を順に介して感光ドラム95の表面に照射される。従って、感光ドラム95の表面にはプリント対象画像の上端側12行1200列分の画像(潜像)が形成される。なお、駆動回路91による半導体デバイス90の駆動手順については詳細に後述する。

【0068】次に、感光ドラム95を表面距離が画像の12行分に相当する距離だけ図9矢印S方向(副走査方向)に回転した後、プリント対象画像の上端から13行目からの12行1200列分の画素データに対応した光が出射されるように半導体デバイス90を駆動回路91によって駆動する。これによって、感光ドラム95の表面にはプリント対象画像の上端から13行目からの12行1200列分の画像(潜像)が形成される。

【0069】以上の、感光ドラム95への12行1200列分の画像(潜像)の形成、及び感光ドラム95の副走査方向への回転駆動を繰り返す(本実施形態では10回)実行することによって、1枚分のプリント対象画像(潜像)を感光ドラム95表面に形成することができる。

【0070】次に、図10を参照して、駆動回路91による半導体デバイス90の駆動手順について説明する。なお、図7及び図8に示すように、面発光レーザアレイ80の陽極配線87を図8左端から順に87-1、87-2、87-3、・・・、87-1211とし、面発光レーザアレイ80の陰極配線88を図8左端から順に88-1、88-2、88-3、・・・、88-1200とする。また、1列目の陰極配線88-1に接続された面発光レーザ素子を図8下から順に80-1-1、80

-1-2、80-1-3、・・・、80-1-12とし、2列目の陰極配線88-2に接続された面発光レーザ素子を図8下から順に80-2-1、80-2-2、80-2-3、・・・、80-2-12とし、以降同様に各面発光レーザ素子に番号を付し、1200列目の陰極配線88-1200に接続された面発光レーザ素子を図8下から順に80-1200-1、80-1200-2、80-1200-3、・・・、80-1200-12とする。

(1) まず、陰極配線88の1本目88-1、13本目88-13、25本目88-25、・・・、1189本目88-1189と12本毎に1本を駆動する。このように陰極配線88を12本毎に1本駆動するのは、各面発光レーザ素子を独立駆動するためである。この間隔を12本未満にすると、各面発光レーザ素子を独立に駆動することができなくなる。

【0071】この際の各陰極配線88の駆動方法は、図10のタイムチャートに示すように、8.0Vに設定してあったトランジスタアレイ82のベース配線86-1(図7参照)の電位を4.0Vに低下させ(パルス幅 t_2 未満)、8.0Vに設定してあったトランジスタアレイ82のコレクタ配線85-1、85-4、85-7、・・・、85-298の電位を0Vに低下させて(パルス幅 t_3 未満)、その交点にあるトランジスタ素子82-1-1、82-4-1、82-7-1、・・・、82-298-1を駆動する。駆動していないベース配線86-2、86-3、及び86-4の電位と駆動していないコレクタ配線の電位は全て8.0Vとする。図10に示すように $t_3 = t_2 \times 4$ となるのは、上記のコレクタ配線85をオンした状態で、4本のベース配線86-1、86-2、86-3、86-4を順次オン状態にするためである。これにより、12本毎に1本の陰極配線88-1、88-13、・・・、88-1189は導通状態になる。

【0072】一方、この陰極配線88の駆動と同時に、発光させたい面発光レーザ素子の陽極配線87を駆動する。この際の各陽極配線87の駆動方法は、図10のタイムチャートに示すように、まず1行目のベース配線84-1に接続されている所望のトランジスタ素子を駆動するために、9.0Vに設定してあったベース配線84-1の電位を8.5Vに低下させ(パルス幅は t_1 未満)、9.0Vに設定してあったエミッター配線83-1、83-2、83-3、・・・、83-303の内、所望のトランジスタ素子に接続された配線の電位だけを10Vに上昇させる(パルス幅は t_1 未満)。これにより陽極配線87-1、87-5、87-9、・・・、87-1209の内の所望の配線だけに電流を流すことができ、1列目の面発光レーザ素子80-1-1、80-1-5、80-1-9、13列目の面発光レーザ素子80-13-1、80-13-5、80-13-9、25

列目の面発光レーザ素子80-25-1、80-25-5、80-25-9、・・・、1189列目の面発光レーザ素子80-1189-1、80-1189-5、80-1189-9の中の所望のレーザを発光させることができる。この時、 $t_2 = t_1 \times 4$ の関係を満足している。

【0073】次に、1行目のベース配線84-1を駆動した時間 t_1 の後に、2行目のベース配線84-2に接続されている所望のトランジスタ素子を駆動するために、ベース配線84-2の電位を9.0Vから8.5Vに低下させ(パルス幅は t_1 未満)、エミッター配線83-1、83-2、83-3、・・・、83-303の中の所望の配線の電位を10Vに設定する。これにより、陽極配線87-2、87-6、87-10、・・・、87-1210の内の所望の配線だけに電流を流すことができ、1列目の面発光レーザ素子80-1-2、80-1-6、80-1-10、13列目の面発光レーザ素子80-13-2、80-13-6、80-13-10、25列目の面発光レーザ素子80-25-2、80-25-6、80-25-10、・・・、1189列目の面発光レーザ素子80-1189-2、80-1189-6、80-1189-10の中の所望の面発光レーザ素子を発光させることができる。

【0074】さらに同様に、3行目のベース配線84-3の電位を9.0Vから8.5Vに低下させ(パルス幅 t_1 未満)、エミッター配線83-1、83-2、83-3、・・・、83-303の内、所望の配線の電位を10Vに上昇させて、所望の陽極配線87-3、87-7、87-11、・・・、87-1211に電流を流すことができ、面発光レーザ素子を発光させることができる。さらに同様に、4行目のベース配線84-4に接続されているトランジスタ素子を駆動するために、エミッター配線83-1、83-2、83-3、・・・、83-303の内、所望の配線の電位を10Vに上昇させて、所望の陽極配線87-4、87-8、87-12、・・・、87-1208にパルス電圧を印加し、面発光レーザ素子を発光させる。

【0075】このようにして、面発光レーザ素子の陽極配線87をすべて駆動することができる。

(2) 次に、駆動する面発光レーザ素子の列を1列ずつ進めるために、陰極配線88を駆動するトランジスタアレイ82のベース配線86-2を駆動し(パルス幅 t_2 未満)、陽極配線87を上記(1)と同様の手順で駆動する。これにより12個毎に1個のトランジスタ素子82-1-2、82-4-2、・・・、82-298-2が駆動され、12本毎に1本の陰極配線88-2、88-14、・・・、88-1190に電圧が印加され、陽極配線87がすべて駆動される。さらに、同様にベース配線86-3、86-4を駆動し、陽極配線87を上記(1)と同様に駆動する。これにより、駆動された陰極

配線88の列は4本進行する。

【0076】以下同様にして、駆動する陰極配線88の列を順次進めるために、駆動するベース配線86-1、86-2、86-3、86-4とコレクタ配線85-1、85-2、・・・、85-300を選択し、その交点に位置するトランジスタ素子を駆動する。このような手順によって面発光レーザアレイ80の陰極配線88の列をすべて駆動することにより、面発光レーザアレイ80を構成する全ての面発光レーザ素子を順に発光させることができる。

(3) 以上の駆動シーケンスを繰り返し行うことにより、面発光レーザアレイ80を連続的に、順次発光させることができ、レーザプリンタの光源として使用することができる。

【0077】以上詳細に説明したように、上記各実施形態に係る半導体デバイスでは、面発光レーザアレイを駆動するトランジスタアレイを面発光レーザアレイの基板上にモノリシックに形成し、かつ外部の駆動回路との接続用のワイヤボンディングパッドをトランジスタアレイに対して設ける形態としているので、次のような効果を奏することができる。

【0078】ワイヤボンディングパッド等の電気的接続手段の配列ピッチを拡大することができるので、

- ・ワイヤボンディングの配列ピッチに制限されずに、面発光レーザアレイの配線ピッチを狭くすることができる。

- ・ワイヤボンディングの配列ピッチに制限されずに、面発光レーザアレイの配列ピッチを狭くすることができる。

- ・ワイヤボンディングのボールサイズを大きくすることができ、ボンディングの接着強度を高めることができる。

- ・ワイヤボンディングのボールサイズを大きくすることができ、ボンディングの成功率を高めることができる。

- ・ワイヤ相互の間隔を広げることができるので、ワイヤ接触等の問題が発生しにくくなる。

【0079】また、トランジスタアレイを面発光レーザアレイの直ぐ傍に配置するので、

- ・面発光レーザアレイを高い周波数で駆動することができる。

- ・面発光レーザアレイに矩形性の高い電流波形を注入することができる。

- ・面発光レーザアレイの駆動に必要な電流値を小さくすることができるので、その駆動回路の設計を容易化することができる。

【0080】なお、上記第3実施形態では、本発明の半導体デバイスを感光ドラムを有する画像形成装置の光源として利用した場合について説明したが、本発明はこれに限定されるものではなく、レーザディスプレイなどの動画像の形成装置の光源として利用することができるこ

とというまでもない。

【0081】また、上記第2実施形態及び第3実施形態では、トランジスタアレイをレーザ構造層の上側に形成した場合について説明したが、本発明はこれに限定されるものではなく、レーザ構造層の下側にトランジスタアレイを形成する形態としてもよく、また、面発光レーザアレイの領域をSiO₂膜等を利用した選択成長により制限し、SiO₂膜等を除去して、レーザ構造層の側方にトランジスタアレイを形成する形態としてもよい。

10 【0082】また、上記第2実施形態及び第3実施形態では、トランジスタ構造をAlGaAs/GaAsのヘテロバイポーラトランジスタ構造とした場合について説明したが、本発明はこれに限定されるものではなく、GaAsのホモ接合バイポーラトランジスタ構造としてもよいことは言うまでもない。

【0083】また、上記各実施形態では、発光素子として面発光レーザ素子を適用した場合について説明したが、本発明はこれに限定されるものではなく、例えば、端面発光型レーザ素子を適用する形態としてもよい。

20 【0084】

【発明の効果】請求項1乃至請求項5記載の半導体デバイスによれば、発光素子アレイに備えられた各発光素子の駆動を制御するマトリクス状に配置されたスイッチング素子を備えたスイッチング素子アレイに対して外部との接続に用いる外部接続端を設けているので、発光素子アレイの配列ピッチを狭くすることができ、発光素子アレイを高密度に形成することができる、という効果が得られる。

30 【0085】また、請求項6記載の画像形成装置によれば、請求項1乃至請求項5記載の高密度な発光素子アレイを備えた半導体デバイスを光源として用いているので、高密度な画像を容易に形成することができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の発光素子アレイとトランジスタアレイの配列及び配線の状態の一例を示す概略構成図である。

【図2】第1実施形態に係る半導体デバイスの構造を示す断面図である。

40 【図3】第1実施形態に係る半導体デバイスにおける発光素子アレイとトランジスタアレイの配列及び配線の状態を示す概略構成図である。

【図4】第1実施形態に係る半導体デバイスの配線の状態を示す概略平面図である。

【図5】第2実施形態に係る半導体デバイスの構造を示す断面図である。

【図6】第2実施形態に係る半導体デバイスにおける発光素子アレイとトランジスタアレイの配列及び配線の状態を示す概略構成図である。

50 【図7】第3実施形態に係る半導体デバイスにおける発光素子アレイとトランジスタアレイの配列及び配線の状

態を示す概略構成図である。

【図 8】図 7 の発光素子アレイの配列及び配線の状態を示す詳細構成図である。

【図 9】第 3 実施形態に係る画像形成装置の概略構成図である。

【図 10】第 3 実施形態に係る画像形成装置の動作の説明に用いるタイムチャートである。

【図 11】従来の発光素子アレイの配列及び配線の状態の一例を示す概略構成図である。

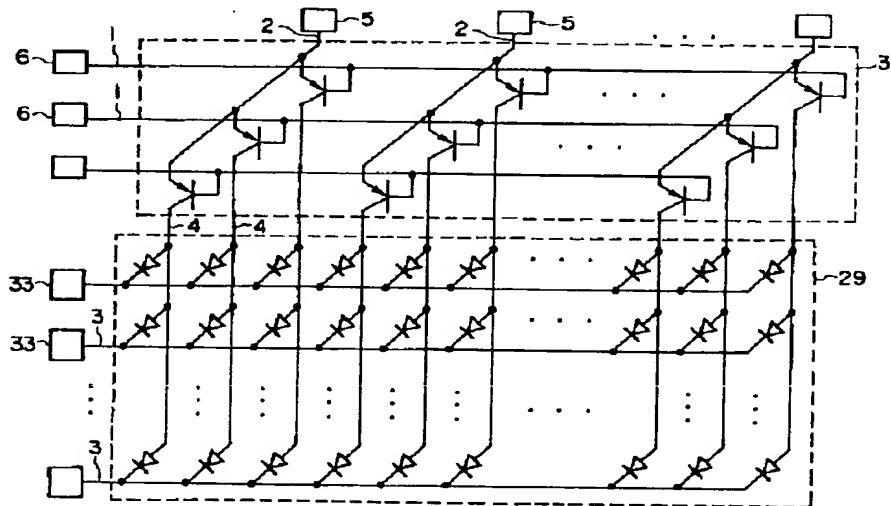
【符号の説明】

- 1 ベース配線 (第 2 の接続手段)
- 2 エミッタ配線 (第 1 の接続手段)
- 3 陰極配線
- 4 陽極配線
- 5 ワイヤボンディングパッド (第 1 の外部接続端)
- 6 ワイヤボンディングパッド (第 2 の外部接続端)
- 30 面発光レーザアレイ (発光素子アレイ)
- 31 トランジスタアレイ (スイッチング素子アレイ)
- 70 トランジスタアレイ (スイッチング素子アレイ)
- 71 コレクタ配線 (第 1 の接続手段)
- 72 ベース配線 (第 2 の接続手段)
- 73 ワイヤボンディングパッド (第 1 の外部接続

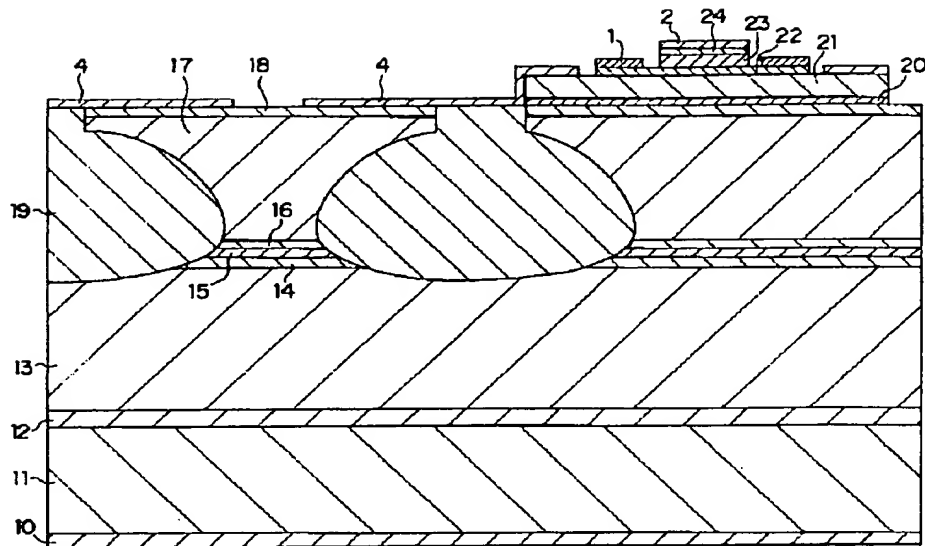
端)

- 74 ワイヤボンディングパッド (第 2 の外部接続端)
- 75 面発光レーザアレイ (発光素子アレイ)
- 80 面発光レーザアレイ (発光素子アレイ)
- 81 トランジスタアレイ (スイッチング素子アレイ)
- 82 トランジスタアレイ (スイッチング素子アレイ)
- 10 83 ワイヤボンディングパッド (第 1 の外部接続端)
- 84 ワイヤボンディングパッド (第 2 の外部接続端)
- 85 ワイヤボンディングパッド (第 1 の外部接続端)
- 86 ワイヤボンディングパッド (第 2 の外部接続端)
- 90 半導体デバイス
- 91 駆動回路
- 20 92 レンズ系
- 93 折り返しミラー
- 94 レンズ系
- 95 感光ドラム

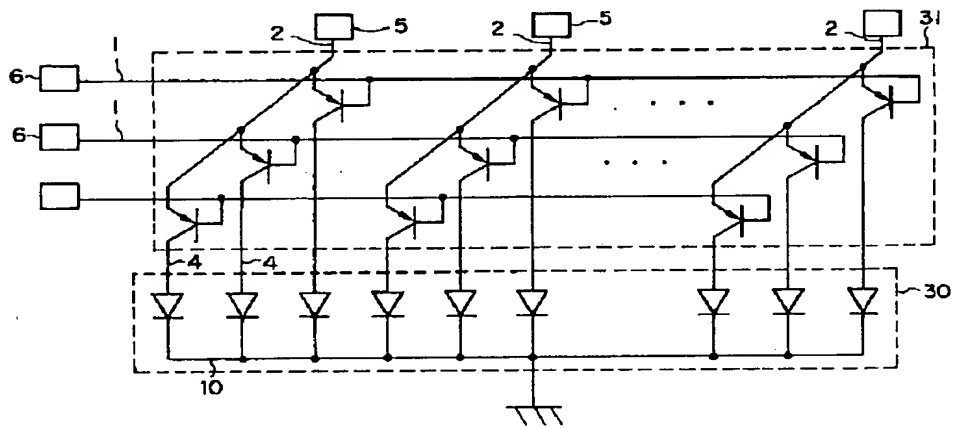
【図 1】



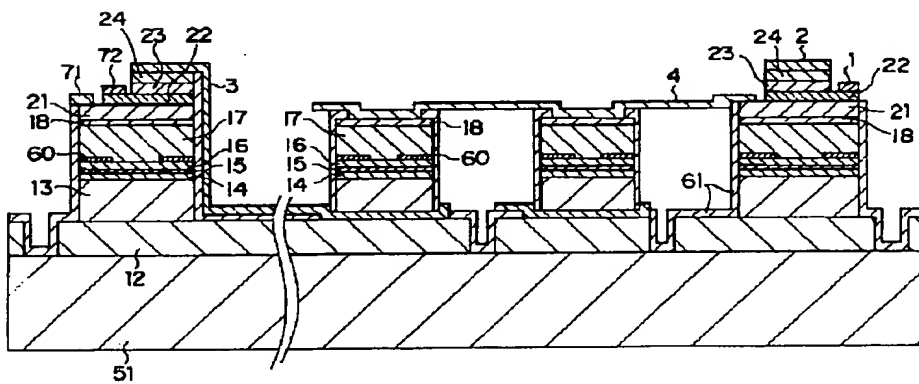
【図 2】



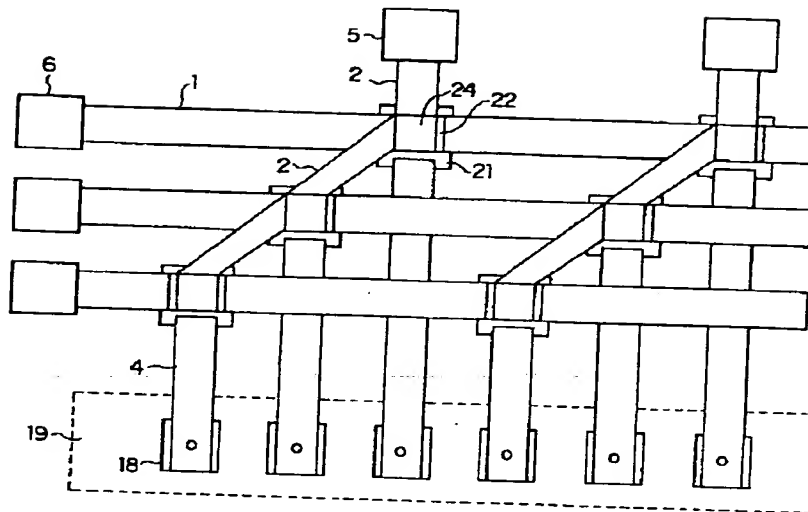
【図 3】



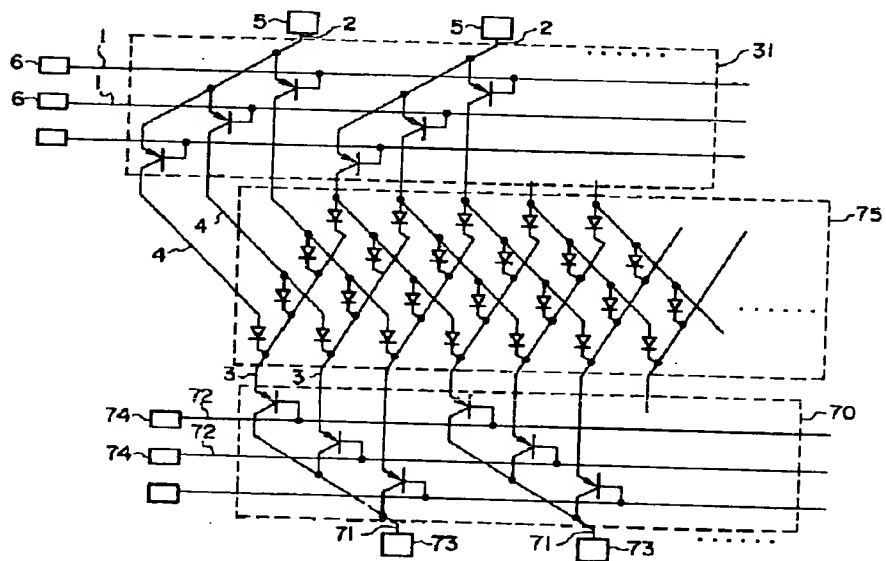
【図 5】



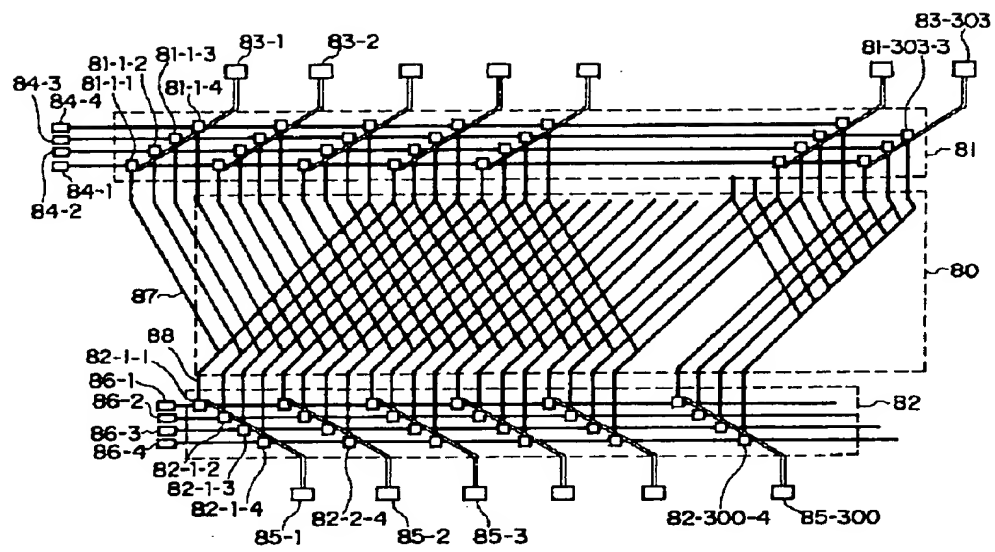
【図4】



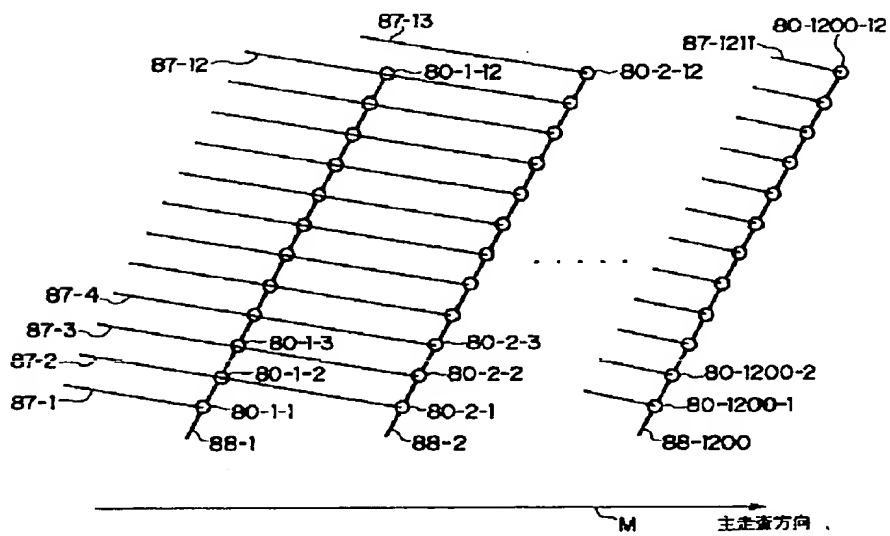
【図6】



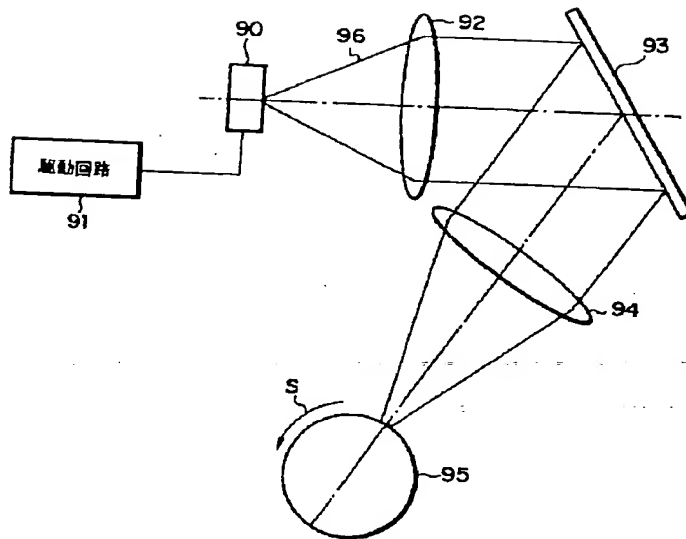
【図7】



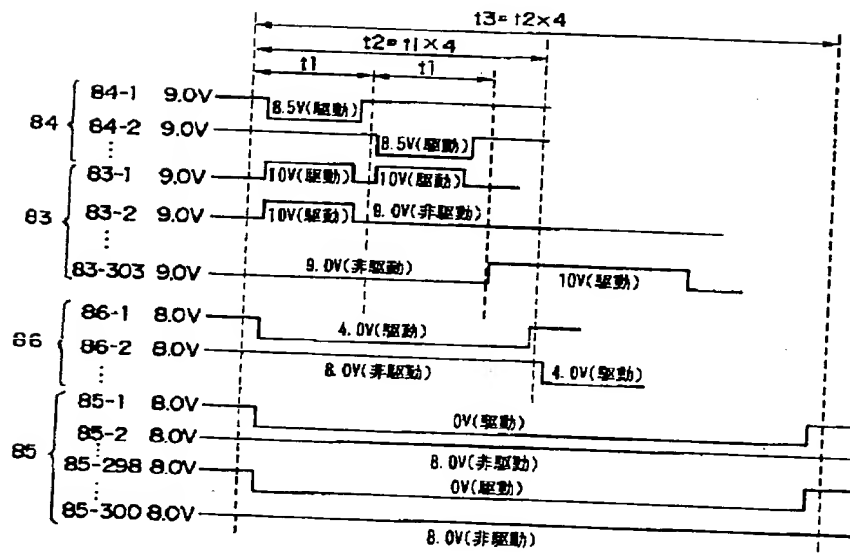
【図8】



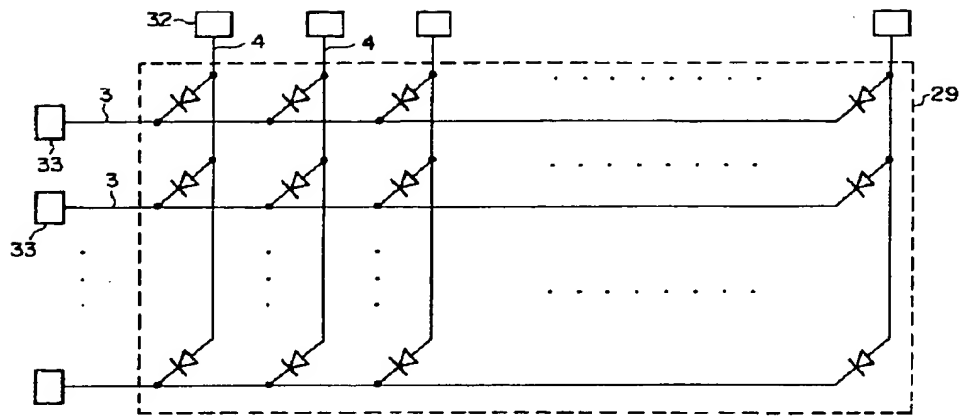
【図9】



【図10】



【図11】



THIS PAGE BLANK (USPTO)